

PCB Layout 中的走线策略

布线 (Layout) 是 PCB 设计工程师最基本的工作技能之一。走线的好坏将直接影响到整个系统的性能, 大多数高速的设计理论也要最终经过 Layout 得以实现并验证, 由此可见, 布线在高速 PCB 设计中是至关重要的。下面将针对实际布线中可能遇到的一些情况, 分析其合理性, 并给出一些比较优化的走线策略。主要从直角走线, 差分走线, 蛇形线等三个方面来阐述。



图1-8-13 不同角度走线的拐角线宽变化

1. 直角走线

直角走线一般是 PCB 布线中要求尽量避免的情况, 也几乎成为衡量布线好坏的标准之一, 那么直角走线究竟会对信号传输产生多大的影响呢? 从原理上说, 直角走线会使传输线的线宽发生变化, 造成阻抗的不连续。其实不光是直角走线, 顿角, 锐角走线都可能会造成阻抗变化的情况。

直角走线对信号的影响就是主要体现在三个方面: 一是拐角可以等效为传输线上的容性负载, 减缓上升时间; 二是阻抗不连续会造成信号的反射; 三是直角尖端产生的 EMI。

传输线的直角带来的寄生电容可以由下面这个经验公式来计算:

$$C=61W(\epsilon_r)^{1/2}/Z_0$$

在上式中, C 就是指拐角的等效电容 (单位: pF), W 指走线的宽度 (单位: inch), ϵ_r 指介质的介电常数, Z_0 就是传输线的特征阻抗。举个例子, 对于一个 4Mils 的 50 欧姆传输线 (ϵ_r 为 4.3) 来说, 一个直角带来的电容量大概为 0.0101pF, 进而可以估算由此引起的上升时间变化量:

$$T_{10-90\%}=2.2*C*Z_0/2 = 2.2*0.0101*50/2 = 0.556ps$$

通过计算可以看出, 直角走线带来的电容效应是极其微小的。

由于直角走线的线宽增加, 该处的阻抗将减小, 于是会产生一定的信号反射现象, 我们可以根据传输线章节中提到的阻抗计算公式来算出线宽增加后的等效阻抗, 然后根据经验公式计算反射系数: $\rho=(Z_s-Z_0)/(Z_s+Z_0)$, 一般直角走线导致的阻抗变化在 7%-20%之间, 因而反射系数最大为 0.1 左右。而且, 从下图可以看到, 在 $W/2$ 线长的时间内传输线阻抗变化到最小, 再经过 $W/2$ 时间又恢复到正常的阻抗, 整个发生阻抗变化的时间极短, 往往在 10ps 之内, 这样快而且微小的变化对一般的信号传输来说几乎是可以忽略的。

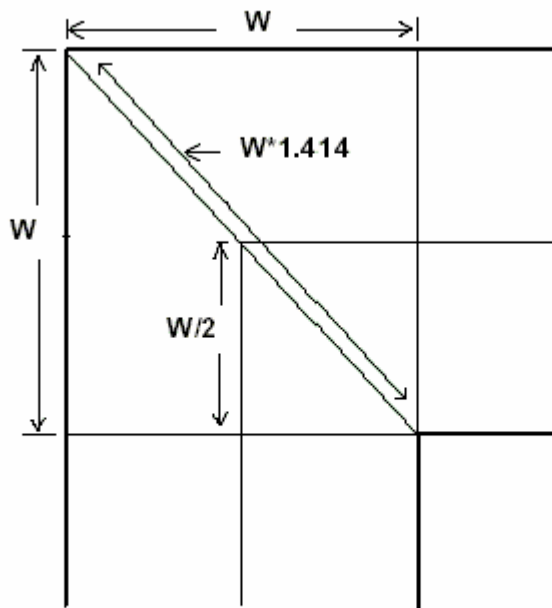


图1-8-14 90度拐角分析

很多人对直角走线都有这样的理解，认为尖端容易发射或接收电磁波，产生 EMI，这也成为许多人认为不能直角走线的理由之一。然而很多实际测试的结果显示，直角走线并不会比直线产生很明显的 EMI。也许目前的仪器性能，测试水平制约了测试的精确性，但至少说明了一个问题，直角走线的辐射已经小于仪器本身的测量误差。

总的说来，直角走线并不是想象中的那么可怕。至少在 GHz 以下的应用中，其产生的任何诸如电容，反射，EMI 等效应在 TDR 测试中几乎体现不出来，高速 PCB 设计工程师的重点还是应该放在布局，电源/地设计，走线设计，过孔等其他方面。当然，尽管直角走线带来的影响不是很严重，但并不是说我们以后都可以走直角线，注意细节是每个优秀工程师必备的基本素质，而且，随着数字电路的飞速发展，PCB 工程师处理的信号频率也会不断提高，到 10GHz 以上的 RF 设计领域，这些小小的直角都可能成为高速问题的重点对象。

2. 差分走线

差分信号（Differential Signal）在高速电路设计中的应用越来越广泛，电路中最关键的信号往往都要采用差分结构设计，什么另它这么倍受青睐呢？在 PCB 设计中又如何能保证其良好的性能呢？带着这两个问题，我们进行下一部分的讨论。

何为差分信号？通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态“0”还是“1”。而承载差分信号的那一对走线就称为差分走线。

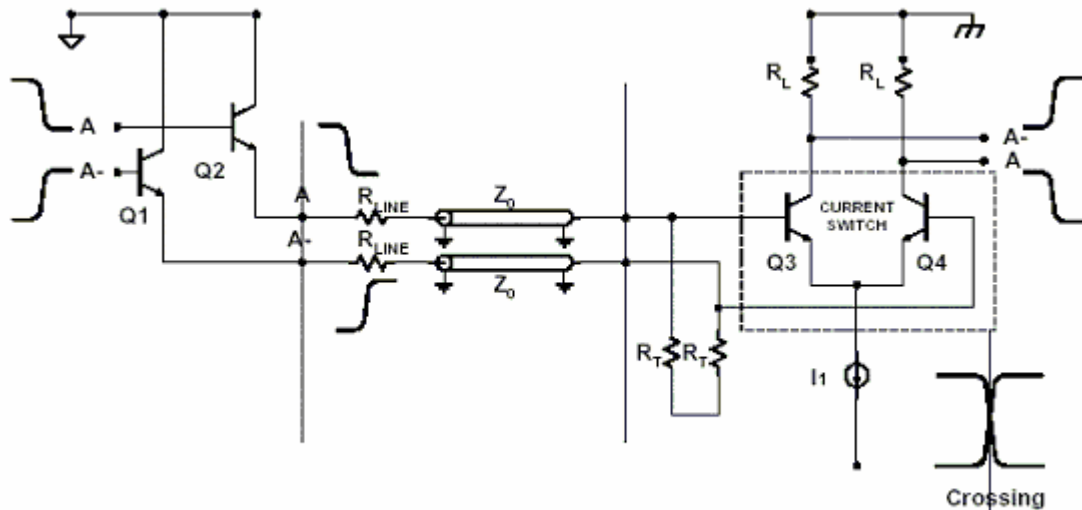


图1-8-15 差分信号结构示意图

差分信号和普通的单端信号走线相比，最明显的优势体现在以下三个方面：

- a.抗干扰能力强，因为两根差分走线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，而接收端关心的只是两信号的差值，所以外界的共模噪声可以被完全抵消。
- b.能有效抑制 EMI，同样的道理，由于两根信号的极性相反，他们对外辐射的电磁场可以相互抵消，耦合的越紧密，泄放到外界的电磁能量越少。
- c.时序定位精确，由于差分信号的开关变化是位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺，温度的影响小，能降低时序上的误差，同时也更适合于低幅度信号的电路。目前流行的 LVDS（low voltage differential signaling）就是指这种小振幅差分信号技术。

对于 PCB 工程师来说，最关注的还是如何确保在实际走线中能完全发挥差分走线的这些优势。也许只要是接触过 Layout 的人都会了解差分走线的一般要求，那就是“等长、等距”。等长是为了保证两个差分信号时刻保持相反极性，减少共模分量；等距则主要是为了保证两者差分阻抗一致，减少反射。“尽量靠近原则”有时候也是差分走线的要求之一。但所有这些规则都不是用来生搬硬套的，不少工程师似乎还不了解高速差分信号传输的本质。下面重点讨论一下 PCB 差分信号设计中几个常见的误区。

误区一：认为差分信号不需要地平面作为回流路径，或者认为差分走线彼此为对方提供回流途径。造成这种误区的原因是被表面现象迷惑，或者对高速信号传输的机理认识还不够深入。从图 1-8-15 的接收端的结构可以看到，晶体管 Q3、Q4 的发射极电流是等值，反向的，他们在接地处的电流正好相互抵消（ $I_1=0$ ），因而差分电路对于类似地弹以及其它可能存在于电源和地平面上的噪音信号是不敏感的。地平面的部分回流抵消并不代表差分电路就不以参考平面作为信号返回路径，其实在信号回流分析上，差分走线和普通的单端走线的机理是一致的，即高频信号总是沿着电感最小的回路进行回流，最大的区别在于差分线除了有对地的耦合之外，还存在相互之间的耦合，哪一种耦合强，那一种就成为主要的回

流通道，图 1-8-16 是单端信号和差分信号的地磁场分布示意图。

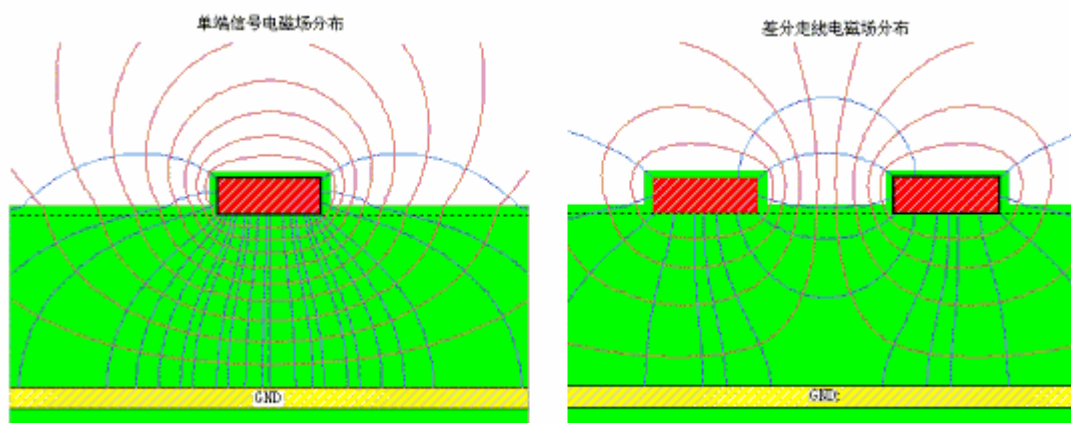


图1-8-16 单端信号和差分信号的地磁场分布示意图

在 PCB 电路设计中，一般差分走线之间的耦合较小，往往只占 10~20% 的耦合度，更多的还是对地的耦合，所以差分走线的主要回流路径还是存在于地平面。当地平面发生不连续的时候，无参考平面的区域，差分走线之间的耦合才会提供主要的回流通路，见图 1-8-17 所示。尽管参考平面的不连续对差分走线的影响没有对普通的单端走线来的严重，但还是会降低差分信号的质量，增加 EMI，要尽量避免。也有些设计人员认为，可以去掉差分走线下方的参考平面，以抑制差分传输中的部分共模信号，但从理论上讲这种做法是不可取的，阻抗如何控制？不给共模信号提供地阻抗回路，势必会造成 EMI 辐射，这种做法弊大于利。

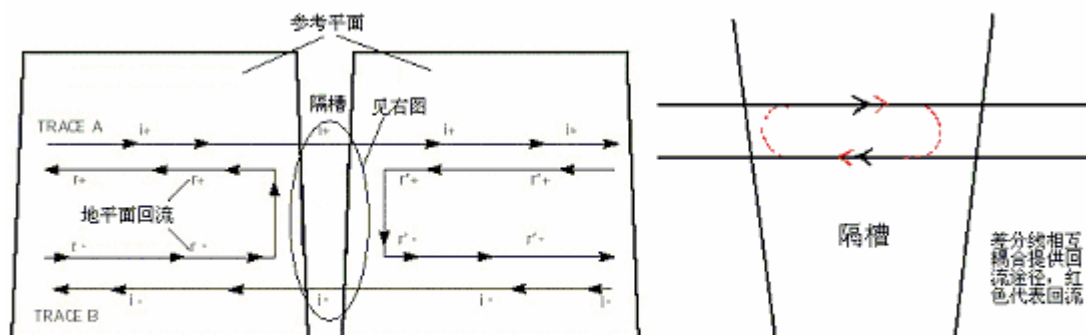


图1-8-17 不连续的地平面上的差分信号回流

误区二：认为保持等间距比匹配线长更重要。在实际的 PCB 布线中，往往不能同时满足差分设计的要求。由于管脚分布，过孔，以及走线空间等因素存在，必须通过适当的绕线才能达到线长匹配的目的，但带来的结果必然是差分对的部分区域无法平行，这时候我们该如何取舍呢？在下结论之前我们先看看下面一个仿真结果。

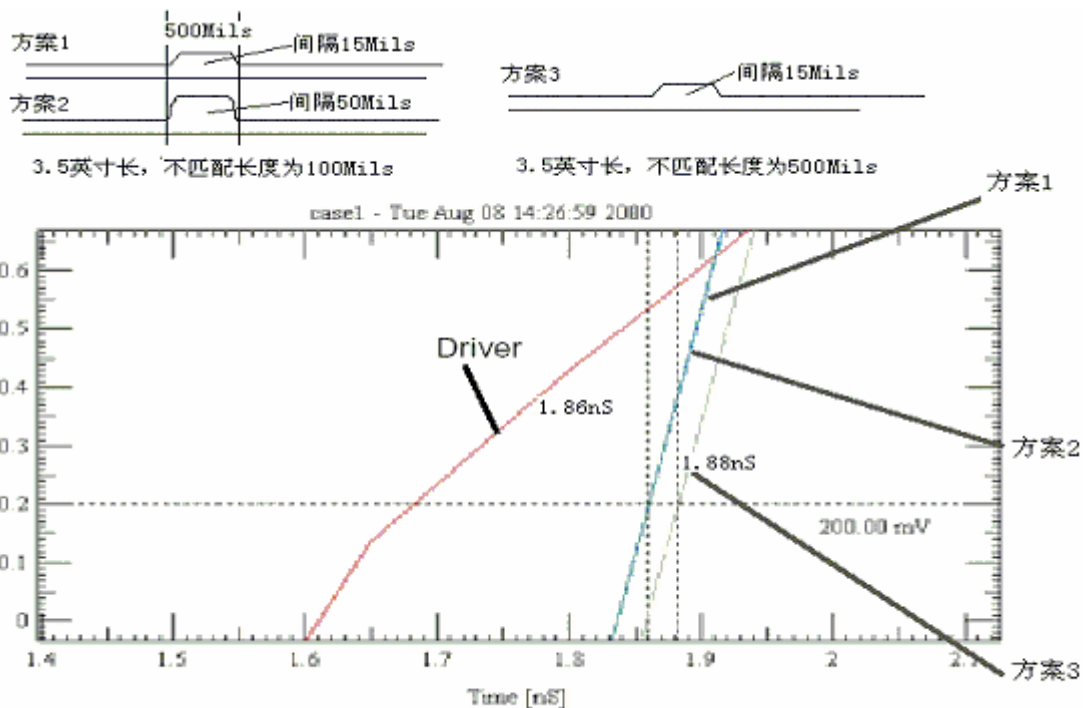


图1-8-18 差分走线间距不等和线长不匹配的影响

从上面的仿真结果看来，方案 1 和方案 2 波形几乎是重合的，也就是说，间距不等造成的影响是微乎其微的，相比较而言，线长不匹配对时序的影响要大得多（方案 3）。再从理论分析来看，间距不一致虽然会导致差分阻抗发生变化，但因为差分对之间的耦合本身就不显著，所以阻抗变化范围也是很小的，通常在 10% 以内，只相当于一个过孔造成的反射，这对信号传输不会造成明显的影响。而线长一旦不匹配，除了时序上会发生偏移，还给差分信号中引入了共模的成分，降低信号的质量，增加了 EMI。

可以这么说，PCB 差分走线的设计中最重要的规则就是匹配线长，其它的规则都可以根据设计要求和实际应用进行灵活处理。

误区三：认为差分走线一定要靠的很近。让差分走线靠近无非是为了增强他们的耦合，既可以提高对噪声的免疫力，还能充分利用磁场的相反极性来抵消对外界的电磁干扰。虽说这种做法在大多数情况下是非常有利的，但不是绝对的，如果能保证让它们得到充分的屏蔽，不受外界干扰，那么我们也就不需要再让通过彼此的强耦合达到抗干扰和抑制 EMI 的目的了。如何才能保证差分走线具有良好的隔离和屏蔽呢？增大与其它信号走线的间距是最基本的途径之一，电磁场能量是随着距离呈平方关系递减的，一般线间距超过 4 倍线宽时，它们之间的干扰就极其微弱了，基本可以忽略。此外，通过地平面的隔离也可以起到很好的屏蔽作用，这种结构在高频的（10G 以上）IC 封装 PCB 设计中经常会采用，被称为 CPW 结构，可以保证严格的差分阻抗控制（Z0），如图 1-8-19。

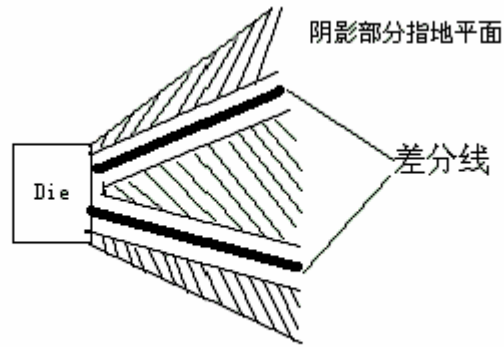


图1-8-19 封装中的CPW结构

差分走线也可以走在不同的信号层中，但一般不建议这种走法，因为不同的层产生的诸如阻抗、过孔的差别会破坏差模传输的效果，引入共模噪声。此外，如果相邻两层耦合不够紧密的话，会降低差分走线抵抗噪声的能力，但如果能保持和周围走线适当的间距，串扰就不是个问题。在一般频率（GHz 以下），EMI 也不会是很严重的问题，实验表明，相距 500Mils 的差分走线，在 3 米之外的辐射能量衰减已经达到 60dB，足以满足 FCC 的电磁辐射标准，所以设计者根本不用过分担心差分线耦合不够而造成电磁不兼容问题。

3. 蛇形线

蛇形线是 Layout 中经常使用的一类走线方式。其主要目的就是为了调节延时，满足系统时序设计要求。设计者首先要有这样的认识：蛇形线会破坏信号质量，改变传输延时，布线时要尽量避免使用。但实际设计中，为了保证信号有足够的保持时间，或者减小同组信号之间的时间偏移，往往不得不故意进行绕线。

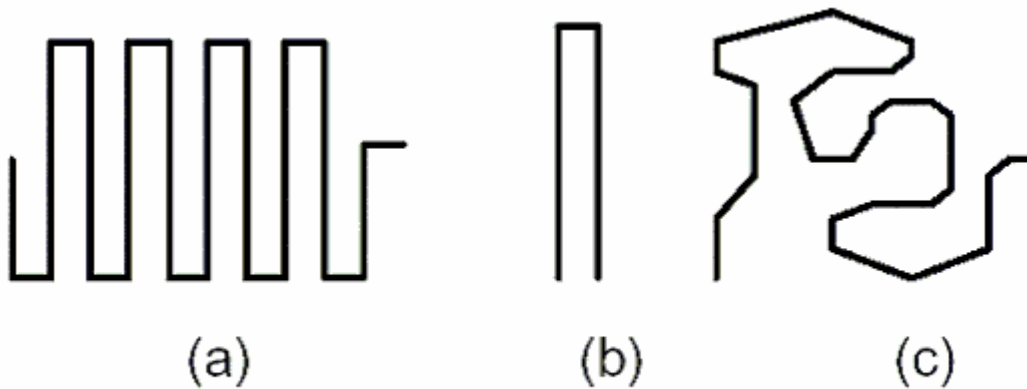


图1-8-20 几种蛇形走线结构

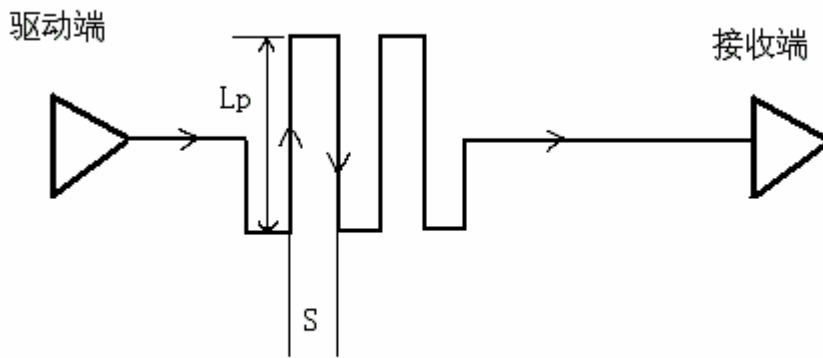


图1-8-21 蛇形走线模型

那么，蛇形线对信号传输有什么影响呢？走线时要注意些什么呢？其中最关键的两个参数就是平行耦合长度 (L_p) 和耦合距离 (S)，如图 1-8-21 所示。很明显，信号在蛇形线上传输时，相互平行的线段之间会发生耦合，呈差模形式， S 越小， L_p 越大，则耦合程度也越大。可能会导致传输延时减小，以及由于串扰而大大降低信号的质量，其机理可以参考第三章对共模和差模串扰的分析。

下面是给 Layout 工程师处理蛇形线时的几点建议：

1. 尽量增加平行线段的距离 (S)，至少大于 $3H$ ， H 指信号走线到参考平面的距离。通俗的说就是绕大弯走线，只要 S 足够大，就几乎能完全避免相互的耦合效应。
2. 减小耦合长度 L_p ，当两倍的 L_p 延时接近或超过信号上升时间时，产生的串扰将达到饱和。
3. 带状线 (Strip-Line) 或者埋式微带线 (Embedded Micro-strip) 的蛇形线引起的信号传输延时小于微带走线 (Micro-strip)。理论上，带状线不会因为差模串扰影响传输速率。
4. 高速以及对时序要求较为严格的信号线，尽量不要走蛇形线，尤其不能在小范围内蜿蜒走线。
5. 可以经常采用任意角度的蛇形走线，如图 1-8-20 中的 C 结构，能有效的减少相互间的耦合。
6. 高速 PCB 设计中，蛇形线没有所谓滤波或抗干扰的能力，只可能降低信号质量，所以只作时序匹配之用而无其它目的。
7. 有时可以考虑螺旋走线的方式进行绕线，仿真表明，其效果要优于正常的蛇

形走线。

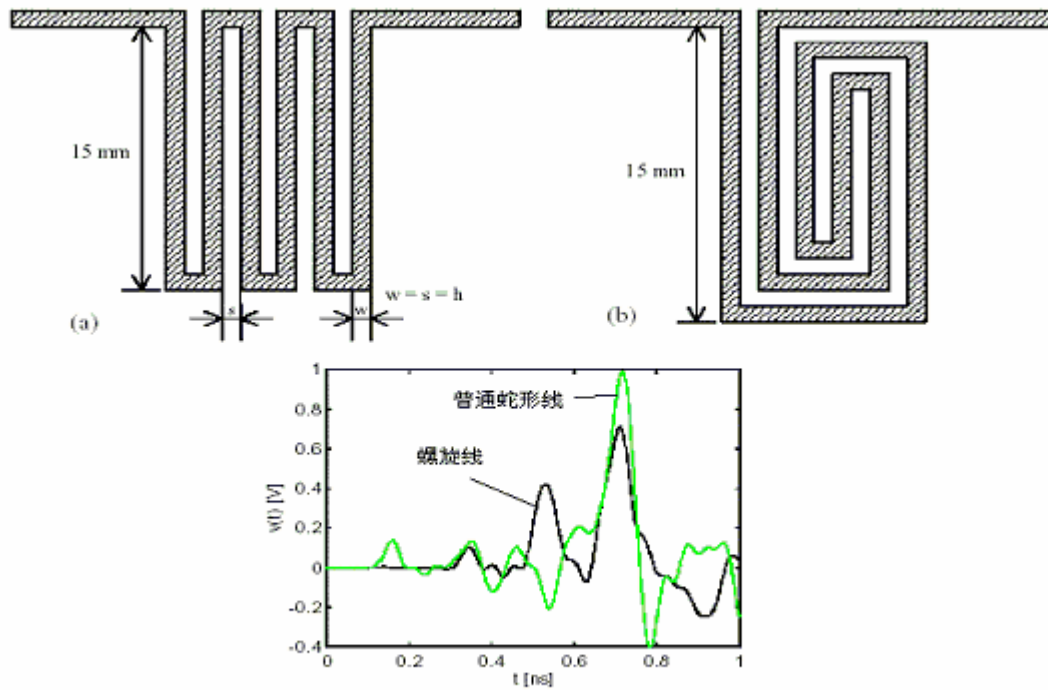


图1-8-22 螺旋走线和普通蛇形线的比较